

SWITCHING REGULATOR

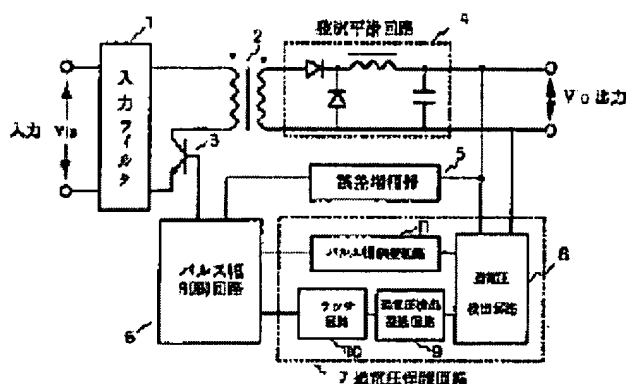
Patent number: JP8251915
Publication date: 1996-09-27
Inventor: YOSHIHARA TAKAO; OKUBO TAKATOSHI; ONIZUKA MASATO
Applicant: HITACHI LTD;; HITACHI COMMUN SYST INC
Classification:
 - **International:** H02M3/28; H02H3/20
 - **European:**
Application number: JP19950055864 19950315
Priority number(s):

Report a data error here

Abstract of JP8251915

PURPOSE: To protect a load circuit surely against overvoltage regardless of the load conditions by simplifying the circuitry pertaining to the overvoltage protective function.

CONSTITUTION: When an overvoltage detection circuit 8 detects an output voltage from a regulator exceeding an overvoltage detection level, oscillation of a pulse width control circuit 6 is interrupted forcibly with a predetermined time lag being set by an overvoltage detection lag circuit 9 and a latch circuit 10. If the duty ratio of switching pulse is suppressed by a pulse width regulation circuit 11 during that interval, abnormal increase of overvoltage is suppressed and the oscillation is interrupted while lowering the output voltage gradually.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-251915

(43)公開日 平成8年(1996)9月27日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/28			H 0 2 M 3/28	C
H 0 2 H 3/20			H 0 2 H 3/20	A
// H 0 2 H 9/04			9/04	Z

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21)出願番号 特願平7-55864

(22)出願日 平成7年(1995)3月15日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233479

日立通信システム株式会社

神奈川県横浜市戸塚区戸塚町180番地

(72)発明者 吉原 孝男

神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所情報通信事業部内

(72)発明者 大久保 孝年

神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所情報通信事業部内

(74)代理人 弁理士 秋本 正実

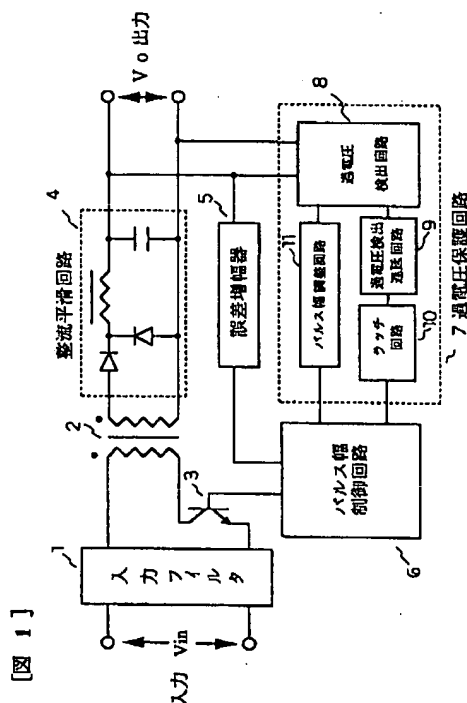
最終頁に続く

(54)【発明の名称】 スイッチング・レギュレータ

(57)【要約】

【目的】 過電圧保護機能に係る回路構成簡単にして、負荷条件とは無関係に、負荷回路を過電圧から確実に保護すること。

【構成】 レギュレータ出力電圧が過電圧検出レベル以上にあることが過電圧検出回路8で検出されれば、過電圧検出遅延回路9、ラッチ回路10を介し所定時間後にパルス幅制御回路6での発振停止によりスイッチングパルス発生が強制的に停止されるが、その間、パルス幅調整回路11によりスイッチングパルスのデューティ比が抑制される場合は、過電圧の異常上昇が抑えられつつ、出力電圧が徐々に下降された状態で発振停止状態に移行され得るものである。



【図1】

【特許請求の範囲】

【請求項1】 入力端子間に並列に挿入接続された入力フィルタと、該入力フィルタを介された直流入力電圧を所定周波数のスイッチングパルスでスイッチングするスイッチングトランジスタと、1次側に上記スイッチングトランジスタが直列に挿入接続された上、該1次側から2次側に電力変換を行うトランスと、該トランスの2次側からの変換電力を整流・平滑する整流平滑回路と、該整流平滑回路からの平滑化出力電圧と規定電圧との偏差電圧を検出し、増幅する誤差増幅器と、上記平滑化出力電圧が規定電圧に常時維持されるべく、上記誤差増幅器からの偏差電圧にもとづき、上記スイッチングトランジスタに対しパルス幅可変のスイッチングパルスを発生するパルス幅制御回路と、過電圧発生時、平滑化出力電圧が過電圧検出レベル以上にあることを検出する過電圧検出回路と、該過電圧検出回路からの過電圧検出出力を所定時間遅延する過電圧検出遅延回路と、該過電圧検出遅延回路からの遅延過電圧検出出力を保持した上、保持出力により上記パルス幅制御回路のスイッチングパルスの発生を強制的に停止するラッチ回路とを少なくとも構成要素として含むスイッチング・レギュレータであって、過電圧検出回路とパルス幅制御回路との間に、該過電圧検出回路から過電圧検出出力が得られている間、該パルス幅制御回路から発生されるスイッチングパルスのデューティ比を抑制すべく作用するパルス幅調整回路を設けた構成のスイッチング・レギュレータ。

【請求項2】 入力端子間に並列に挿入接続された入力フィルタと、該入力フィルタを介された直流入力電圧を所定周波数のスイッチングパルスでスイッチングするスイッチングトランジスタと、1次側に上記スイッチングトランジスタが直列に挿入接続された上、該1次側から2次側に電力変換を行うトランスと、該トランスの2次側からの変換電力を整流・平滑する整流平滑回路と、該整流平滑回路からの平滑化出力電圧と規定電圧との偏差電圧を検出し、増幅する誤差増幅器と、上記平滑化出力電圧が規定電圧に常時維持されるべく、上記誤差増幅器からの偏差電圧にもとづき、上記スイッチングトランジスタに対しパルス幅可変のスイッチングパルスを発生するパルス幅制御回路と、過電圧発生時、平滑化出力電圧が過電圧検出レベル以上にあることを検出する過電圧検出回路と、該過電圧検出回路からの過電圧検出出力を所定時間遅延する過電圧検出遅延回路と、該過電圧検出遅延回路からの遅延過電圧検出出力を保持した上、保持出力により上記パルス幅制御回路のスイッチングパルスの発生を強制的に停止するラッチ回路とを少なくとも構成要素として含むスイッチング・レギュレータであって、過電圧検出回路とパルス幅制御回路との間に、該過電圧検出回路から過電圧検出出力が得られている間、該パルス幅制御回路から発生されるスイッチングパルスのデューティ比を抑制すべく作用する、パルス幅調整回路とし

てのダイオードを設けた構成のスイッチング・レギュレータ。

【請求項3】 入力端子間に並列に挿入接続された入力フィルタと、該入力フィルタを介された直流入力電圧を所定周波数のスイッチングパルスでスイッチングするスイッチングトランジスタと、1次側に上記スイッチングトランジスタが直列に挿入接続された上、該1次側から2次側に電力変換を行うトランスと、該トランスの2次側からの変換電力を整流・平滑する整流平滑回路と、該整流平滑回路からの平滑化出力電圧と規定電圧との偏差電圧を検出し、増幅する誤差増幅器と、上記平滑化出力電圧が規定電圧に常時維持されるべく、上記誤差増幅器からの偏差電圧にもとづき、上記スイッチングトランジスタに対しパルス幅可変のスイッチングパルスを発生するパルス幅制御回路と、過電圧発生時、平滑化出力電圧が過電圧検出レベル以上にあることを検出する過電圧検出回路と、該過電圧検出回路からの過電圧検出出力を所定時間遅延する過電圧検出遅延回路と、該過電圧検出遅延回路からの遅延過電圧検出出力を保持した上、保持出力により上記パルス幅制御回路のスイッチングパルスの発生を強制的に停止するラッチ回路とを少なくとも構成要素として含むスイッチング・レギュレータであって、過電圧検出回路とパルス幅制御回路との間に、該過電圧検出回路から過電圧検出出力が得られている間、該パルス幅制御回路から発生されるスイッチングパルスのデューティ比を抑制すべく作用する、パルス幅調整回路としてのトランジスタを設けた構成のスイッチング・レギュレータ。

【請求項4】 入力端子間に並列に挿入接続された入力フィルタと、該入力フィルタを介された直流入力電圧を所定周波数のスイッチングパルスでスイッチングするスイッチングトランジスタと、1次側に上記スイッチングトランジスタが直列に挿入接続された上、該1次側から2次側に電力変換を行うトランスと、該トランスの2次側からの変換電力を整流・平滑する整流平滑回路と、該整流平滑回路からの平滑化出力電圧と規定電圧との偏差電圧を検出し、増幅する誤差増幅器と、上記平滑化出力電圧が規定電圧に常時維持されるべく、上記誤差増幅器からの偏差電圧にもとづき、上記スイッチングトランジスタに対しパルス幅可変のスイッチングパルスを発生するパルス幅制御回路と、過電圧発生時、平滑化出力電圧が過電圧検出レベル以上にあることを検出する過電圧検出回路と、該過電圧検出回路からの過電圧検出出力を所定時間遅延する過電圧検出遅延回路と、該過電圧検出遅延回路からの遅延過電圧検出出力を保持した上、保持出力により上記パルス幅制御回路のスイッチングパルスの発生を強制的に停止するラッチ回路とを少なくとも構成要素として含むスイッチング・レギュレータであって、過電圧検出回路とパルス幅制御回路との間に、該過電圧検出回路から過電圧検出出力が得られている間、該パル

ス幅制御回路から発生されるスイッチングパルスのデューティ比を抑制すべく作用する、パルス幅調整回路としてのフォトカプラを設けた構成のスイッチング・レギュレータ。

【請求項5】 入力端子間に並列に挿入接続された入力フィルタと、該入力フィルタを介された直流入力電圧を所定周波数のスイッチングパルスでスイッチングするスイッチングトランジスタと、1次側に上記スイッチングトランジスタが直列に挿入接続された上、該1次側から2次側に電力変換を行うトランスと、該トランスの2次側からの変換電力を整流・平滑する整流平滑回路と、該整流平滑回路からの平滑化出力電圧と規定電圧との偏差電圧を検出し、増幅する誤差増幅器と、上記平滑化出力電圧が規定電圧に常時維持されるべく、上記誤差増幅器からの偏差電圧にもとづき、上記スイッチングトランジスタに対しパルス幅可変のスイッチングパルスを発生するパルス幅制御回路と、過電圧発生時、平滑化出力電圧が過電圧検出レベル以上にあることを検出する過電圧検出回路と、該過電圧検出回路からの過電圧検出出力を所定時間遅延する過電圧検出遅延回路と、該過電圧検出遅延回路からの遅延過電圧検出出力を保持した上、保持出力により上記パルス幅制御回路のスイッチングパルスの発生を強制的に停止するラッチ回路と、上記過電圧検出回路、パルス幅制御回路間に設けられ、かつ該過電圧検出回路から過電圧検出出力が得られている間、該パルス幅制御回路から発生されるスイッチングパルスのデューティ比を抑制すべく作用するパルス幅調整回路とを少なくとも構成要素として含むスイッチング・レギュレータであって、少なくともパルス幅制御回路とパルス幅調整回路が一体化された集積回路として構成されてなるスイッチング・レギュレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、過電圧保護機能が具備されたスイッチング・レギュレータに係わり、特に過電圧検出回路で過電圧が検出されている間、パルス幅制御回路から発生されるスイッチングパルスのそのデューティ比が抑制されつつ、過電圧検出時点から所定時間後にスイッチングパルスの発生が強制的に停止されるべく構成されたスイッチング・レギュレータに関するものである。

【0002】

【従来の技術】 これまで、過電圧保護機能が具備されたスイッチング・レギュレータとしては、例えば発明協会公開技報93-12458号に記載されたものが知られている。図9にはそのスイッチング・レギュレータの概要構成が、また、図10にはその動作波形が示されているが、これによる場合、過電圧が検出された時点から、発振回路が発振停止されるまでに遅れがある場合、出力電圧は過渡的に過電圧規格上限値を越えるが、この過電

圧規格上限値を越える過電圧は出力短絡回路によって抑制されるものとなっている。ここで、その回路動作（詳細は上記公開技報を参照のこと）を説明すれば以下のようである。

【0003】 即ち、何等かの異常が発生しスイッチング・レギュレータが制御不能状態に陥り、出力電圧の異常上昇により過電圧が発生すれば、その出力電圧の異常上昇に連動してトランスの補助巻線電圧も上昇するが、補助巻線電圧がある一定値を越え過電圧が検出された場合には、発振停止回路の動作により発振回路での発振動作が停止されるものとなっている。しかしながら、過電圧検出時点から発振停止までに遅れがある場合には、出力電圧は過渡的に過電圧規格上限値を越えることになるが、この過渡的な過電圧に対しては、制限時間つき過電圧規格と過電圧上限値規格が設けられた上、これら規格を満足させるべく、出力短絡回路では、その内部のトランジスタが過電圧により直ちにオン状態におかれ、平滑回路を構成している電解コンデンサからは抵抗を介し強制的に電荷が放電されることによって、過渡的な過電圧は抑制されたものとなっている。

【0004】 一方、また、雑誌「電子技術 特別増大号」（1989年3月 日刊工業新聞社発行、第68頁）には「保護回路」が記載されているが、これに記載されている過電圧保護回路をスイッチング・レギュレータに適用した場合での回路構成を図11に示す。これによる場合、過電圧保護回路7は過電圧検出回路8、過電圧検出遅延回路9およびラッチ回路10から構成された上、過電圧検出回路8で過電圧が検出された場合には、所定時間後にパルス幅制御回路6での発振動作が初めて停止されるものとなっている。ここで、出力電圧の安定化を図っているパルス幅制御回路6、または誤差増幅器5に故障が発生した場合での回路動作を説明すれば以下のようなものである。

【0005】 即ち、パルス幅制御回路6、または誤差増幅器5が故障した場合には、パルス幅制御回路6からスイッチングトランジスタ13に与えられるスイッチングパルスはそのパルス幅が最大設定値まで広がるため、出力に過電圧が発生するものとなっている。この過電圧は過電圧検出回路8内の過電圧検出部20で検出された上、フォトカプラ16が動作するところとなるが、この過電圧検出出力は直ちにパルス幅制御回路6には伝達されなく、過電圧検出遅延回路9、ラッチ回路10を介し伝達されるものとなっている。過電圧検出出力は過電圧検出遅延回路9を構成している抵抗17、18とコンデンサ19によって定まるマスク時間分遅延された上、ラッチ回路10を介しパルス幅制御回路6に伝達された上、その発振動作が停止されているものである。したがって、過電圧検出回路8による過電圧検出時点からマスク時間分の間、スイッチングトランジスタ13へのスイッチングパルスはそのパルス幅が最大設定値状態が維持

される結果として、過電圧はなおもその電圧値が上昇し続けるところとなるが、マスク時間経過後には、パルス幅制御回路6からスイッチングトランジスタ13へのスイッチングパルスは停止されることによって、以降、出力電圧は過電圧状態から徐々に下降されるものである。

【0006】

【発明が解決しようとする課題】しかしながら、上記2つの従来技術による場合、何れも過電圧が検出された時点から、パルス幅制御回路で実際に発振動作が停止されるまでの遅延時間が比較的大きく、これがために過電圧規格を越えるという不具合がある。また、特に後者の従来技術による場合には、過電圧検出遅延回路によるマスク時間が短く設定されれば、静電気や外来ノイズ等による過電圧検出回路での誤動作に起因して発振動作停止が起き易くなる一方、逆にそのマスク時間が長く設定されれば、軽負荷時には負荷のインピーダンスが大きく見えるため、過電圧の立上りが急峻となり、しかもパルス幅制御回路でのスイッチングパルスの発生停止までに多くの時間が要されることから、場合によっては、定格出力電圧に対しその数倍以上もの過電圧が瞬間的に発生される虞があるものとなっている。一方、近年での傾向として、負荷としてスイッチング・レギュレータに接続される電子回路一般の低損失化に伴い、スイッチング・レギュレータが無負荷状態から使用される場合も多いことを考慮すれば、今後のスイッチング・レギュレータに対する要求としては、そのより一層の小形化もさることながら、負荷条件とは無関係に、負荷回路の過電圧からの確実な保護が必要となっている。

【0007】本発明の第1の目的は、過電圧保護機能に係る回路構成簡単にして、負荷条件とは無関係に、負荷回路を過電圧から確実に保護し得るスイッチング・レギュレータを供するにある。本発明の第2の目的は、過電圧保護機能に係る回路構成が簡単、かつより集積化された状態として、負荷条件とは無関係に、負荷回路を過電圧から確実に保護し得るスイッチング・レギュレータを供するにある。

【0008】

【課題を解決するための手段】上記第1の目的は、基本的には、過電圧検出回路とパルス幅制御回路との間に、その過電圧検出回路から過電圧検出出力が得られている間、パルス幅制御回路から発生されるスイッチングパルスのデューティ比を抑制すべく作用するパルス幅調整回路を設けることで達成される。上記第2の目的はまた、過電圧検出回路とパルス幅制御回路との間に設けられるパルス幅調整回路が、少なくともパルス幅制御回路と一体化された集積回路として構成されることで達成される。

【0009】

【作用】平滑化出力電圧（スイッチング・レギュレータ出力電圧）が過電圧検出レベル以上にあることが過電圧

検出回路で検出された場合には、所定時間後にパルス幅制御回路でのスイッチングパルスの発生が発振停止により強制的に停止されるようにするが、その際に、過電圧検出回路とパルス幅制御回路との間に新たに設けられたパルス幅調整回路によって、過電圧検出時点から発振停止までの間（過電圧検出回路から過電圧検出出力が連続的に得られている間）、そのパルス幅制御回路から発生されるスイッチングパルスのデューティ比が小さくなるべく抑制される場合は、過電圧の異常上昇が抑えられるばかりか、平滑化出力電圧が徐々に下降された状態で発振停止状態に移行される結果として、過電圧保護機能に係る回路構成簡単にして、負荷条件とは無関係に、負荷回路は過電圧から確実に保護され得るものである。

【0010】

【実施例】以下、本発明を図1から図8により説明する。先ず本発明によるスイッチング・レギュレータの概要構成について説明すれば、図1は一石フォワードコンバータ方式スイッチングレギュレータとしての概要構成を示したものである。図示のように、入力端子からの直流入力電圧 V_{in} は入力フィルタ1を介された上、スイッチングトランジスタ3を介しトランス2の1次側に印加されるが、この状態でスイッチングトランジスタ3がパルス幅制御回路6からの所定周期のスイッチングパルスによりスイッチング制御されることによって、直流入力電圧 V_{in} のトランス2の2次側への電力変換が行われるものとなっている。2次側へのその変換電力は整流平滑回路4で整流・平滑化されることによって、平滑化出力電圧がスイッチング・レギュレータ出力電圧 V 。として得られているものである。さて、出力電圧 V 。は規定電圧（定格出力電圧）との偏差電圧が誤差増幅器5で増幅された状態として検出されるが、この偏差電圧にもとづきパルス幅制御回路6では、スイッチングパルスがそのパルス幅が可変制御された状態として発生されることによって、出力電圧 V 。は規定電圧に常時維持されるべく制御されているものである。

【0011】さて、何等かの要因によりスイッチングパルスのパルス幅が異常に広がった結果として、出力電圧 V 。が過電圧状態に陥った場合を想定すれば、出力電圧 V 。が過電圧検出レベル以上にあることは過電圧検出回路8で検出されるが、過電圧検出回路8からの過電圧検出出力は過電圧検出遅延回路9で所定時間遅延された上、ラッチ回路10にラッチ（保持）されることによって、パルス幅制御回路6は強制的に発振停止状態におかれるが、以上の回路動作は既述の図11に示すスイッチング・レギュレータでのそれに同様となっている。回路動作上、異なる点は、過電圧検出回路8とパルス幅制御回路6との間に新たに設けられたパルス幅調整回路11によって、過電圧検出時点から発振停止までの間（過電圧検出回路8から過電圧検出出力が連続的に得られている間）、パルス幅制御回路6から発生されるスイッチン

グパルスのデューティ比が小さくなるべく抑制されていることである。デューティ比が小さくなるべく抑制制御される場合は、過電圧の異常上昇が抑えられるばかりか、出力電圧V。は徐々に下降された状態で発振停止状態に移行されるが、この結果として、回路構成簡単にして、負荷条件とは無関係に、負荷回路は過電圧から確実に保護され得るものである。

【0012】図2はまた、要部が具体的に回路構成された、そのスイッチング・レギュレータの構成を、図3は過電圧発生時での過電圧保護回路動作をそれぞれ示したものである。図3を参照しつつその過電圧保護回路動作を説明すれば、図2に示すように、通常状態においては、誤差増幅器5からの偏差電圧はパルス幅制御回路6内部のPWMコンパレータ13の入力端子FBに帰還された上、三角波発振器12からの三角波と比較されることによって、出力電圧a（出力電圧V。）が規定電圧より低い場合は、出力端子OUTから出力されるスイッチングパルスbはそのパルス幅が広くなるべく、また、規定電圧より高い場合には、そのパルス幅が狭くなるべく、それぞれPWM制御されることによって、出力電圧V。は常時規定電圧と一致すべく制御されたものとなっている。因みに、この通常状態でのPWM制御に際し、スイッチングパルスbの最大パルス幅（本例では、デューティ比70%でのパルス幅を想定）は最大パルス幅設定端子DTCに印加される電圧dで設定される。図示のように、基準電圧端子REFから出力される基準電圧は抵抗14、15で分圧されているが、抵抗15での分圧電圧（例えば2.7V）が最大パルス幅設定端子DTCに印加されているものである。後述のように、過電圧検出時には、パルス幅調整回路11としてのダイオードが

【0013】さて、何等かの要因によりPWM制御が不能となり、スイッチングパルスbのパルス幅が急激に最大パルス幅（デューティ比70%に相当）まで広がった場合を想定すれば、出力電圧V。は過電圧状態となるが、この過電圧状態は過電圧検出回路8によって検出されるものとなっている。過電圧検出回路8では、出力電圧V。と過電圧検出レベルとを比較している過電圧検出部20によって過電圧状態が検出されているが、過電圧検出部20からの過電圧検出信号cによりフォトカプラ16が動作状態におかれることで、過電圧検出信号cは過電圧検出遅延回路9、ラッチ回路10を介しパルス幅制御回路8に伝達されているものである。より詳細に説明すれば、図示のように、過電圧検出信号cにより過電圧検出遅延回路9内部の抵抗17、18では、フォトカプラ16内のフォトトランジスタを介し基準電圧が分圧され、抵抗18での分圧電圧によりコンデンサ19は充

電状態におかれた上、マスク時間（本例では、1msに設定）経過後には、ラッチ回路10が動作することによって、パルス幅制御回路6の過電圧保護端子OVPはその電圧e状態が“H”に維持されるものである。これによりパルス幅制御回路6での発振動作は停止され、スイッチングトランジスタ3へのスイッチングパルスbも停止されるものである。

【0014】ところで、上記マスク時間の間、パルス幅制御回路6からのスイッチングパルスbのパルス幅は、最大パルス幅であるデューティ比70%相当まで広がっているため、スイッチングパルスbが停止されるまでの間、過電圧検出後も出力電圧V。はその電圧が上昇し続けることとなり、何等かの対策が採られなければ、出力電圧V。は過電圧規格値を越えることは明らかである。これを防止すべく設けられたのがパルス幅調整回路11としての、逆電流防止用を兼ねたダイオードである。過電圧検出信号cによりフォトカプラ16が動作状態におかれれば、抵抗17、18には2.7Vよりも高い電圧（基準電圧よりやや低い電圧）が印加される結果として、ダイオードはオン状態におかれ、最大パルス幅設定端子DTCの電圧dは瞬間的に4V付近まで引上げられることによって、スイッチングパルスbのパルス幅は強制的により狭くなるべく制御されるものである。これにより上記マスク時間内では、過電圧保護動作速度（マスク時間）や負荷状態とは無関係に、過電圧規格以下に過電圧の上昇が抑えられ、過電圧による負荷回路の破壊は未然に防止され得るものである。

【0015】図4はまた、本発明による他のスイッチング・レギュレータ（一石フライバックコンバータ方式）の構成を、その要部が具体的に回路構成された状態として示したものである。図示のように、その要部はフォワードコンバータ方式と同様に構成された上、過電圧発生時での過電圧保護回路動作も同様とされているので、これについては、特にこれ以上の説明は要されないこと明らかである。

【0016】ところで、以上のスイッチング・レギュレータでは、何れもパルス幅調整回路11として、逆電流防止用を兼ねたダイオードが使用されているが、トランジスタやフォトカプラも使用可とされたものとなっている。図5はパルス幅調整回路としてトランジスタが使用される場合での、本発明によるスイッチング・レギュレータの構成を示したものである。図示のように、これまでのものと実施的に異なるところは、トランジスタがパルス幅調整回路11として使用されたことに伴い、その周辺回路の構成に若干の変更が加えられたことのみであり、過電圧検出遅延回路9もこれまでのものとほぼ同様にしたものとなっている。したがって、その過電圧保護回路動作を、主にパルス幅調整回路11だけに着目して説明すれば以下のようである。

【0017】即ち、過電圧検出部20で過電圧が検出さ

れた場合、抵抗17、18間に直列挿入されている、フォトカブラ16のフォトトランジスタはオン状態におかれることによって、抵抗17両端間（トランジスタのベース-エミタ間）には電圧降下が生じ、これによりトランジスタはオン状態におかれ、そのエミターコレクタ間には電流が流れる一方、抵抗14の両端間電圧はコレクター-エミタ間飽和電圧（約0.5V）まで降下されるものとなっている。したがって、最大パルス幅設定端子DTCに印加される電圧は過電圧検出時点で瞬時的に4.5V付近まで引上げられることで、ダイオードが使用される場合と同様な効果が得られるものである。

【0018】図6はまた、パルス幅調整回路としてフォトカブラが使用される場合での、本発明によるスイッチング・レギュレータの構成を示したものである。この場合も同様な理由により、その過電圧保護回路動作を主にパルス幅調整回路11だけに着目して説明すれば、過電圧検出部20で過電圧が検出された場合、抵抗17、18に対し直列挿入されている、フォトカブラ16のフォトトランジスタはオン状態におかれるものとなっている。これと同時に、フォトカブラ16の発光ダイオードに対し発光ダイオードが直列に接続されている、パルス幅調整回路11としてのフォトカブラでもフォトトランジスタがオン状態におかれることから、トランジスタの場合と同様、そのフォトトランジスタにより最大パルス幅設定端子DTCに印加される電圧は過電圧検出時点で瞬時的に4.5V付近まで引上げられることで、ダイオードが使用される場合と同様な効果が得られるものである。

【0019】最後に、過電圧保護機能に係る回路構成の集積化について説明すれば、図7、図8はともに、少なくともパルス幅制御回路とパルス幅調整回路（ダイオード、トランジスタ）が集積回路として一体化構成された場合でのその集積回路の内部構成を示したものである。これについては、特に説明は要しないが、このように、過電圧保護機能に係る回路構成がより集積化された状態として構成される場合は、スイッチング・レギュレータ全体としての小形化が図れるものである。

【0020】

【発明の効果】以上、説明したように、請求項1～4による場合は、過電圧保護機能に係る回路構成簡単にし、負荷条件とは無関係に、負荷回路を過電圧から確実に保護し得るスイッチング・レギュレータが、また、請

求項5による場合には、過電圧保護機能に係る回路構成が簡単、かつより集積化された状態として、負荷条件とは無関係に、負荷回路を過電圧から確実に保護し得るスイッチング・レギュレータがそれぞれ得られるものとなっている。

【図面の簡単な説明】

【図1】図1は、本発明によるスイッチング・レギュレータの概要構成を示す図

【図2】図2は、要部が具体的に回路構成された、そのスイッチング・レギュレータの構成を示す図

【図3】図3は、そのスイッチング・レギュレータにおける過電圧発生時での過電圧保護回路動作を示す図

【図4】図4は、本発明による他のスイッチング・レギュレータの構成を、その要部が具体的に回路構成された状態として示す図

【図5】図5は、パルス幅調整回路としてトランジスタが使用される場合での、本発明によるスイッチング・レギュレータの構成を示す図

【図6】図6は、パルス幅調整回路としてフォトカブラが使用される場合での、本発明によるスイッチング・レギュレータの構成を示す図

【図7】図7は、パルス幅制御回路とパルス幅調整回路（ダイオード）が集積回路として一体化構成された場合でのその集積回路の内部構成を示す図

【図8】図8は、パルス幅制御回路とパルス幅調整回路（トランジスタ）が集積回路として一体化構成された場合でのその集積回路の内部構成を示す図

【図9】図9は、過電圧保護機能が具備された、従来技術に係るスイッチング・レギュレータの概要構成を示す図

【図10】図10は、そのスイッチング・レギュレータでの動作波形を示す図

【図11】図11は、同じく過電圧保護機能が具備された、従来技術に係る他のスイッチング・レギュレータの構成を示す図

【符号の説明】

1…入力フィルタ、2…トランス、3…スイッチングトランジスタ、4…整流平滑回路、5…誤差増幅器、6…パルス幅制御回路、8…過電圧検出回路、9…過電圧検出遅延回路、10…ラッチ回路、11…パルス幅調整回路、12…（三角波）発振器、13…PWMコンパレータ

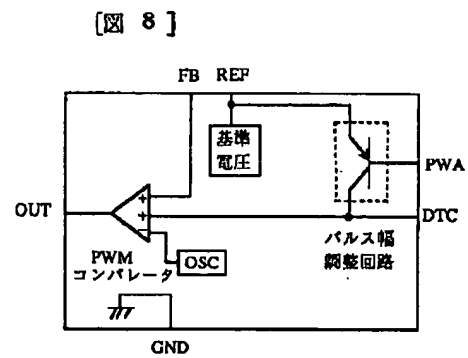
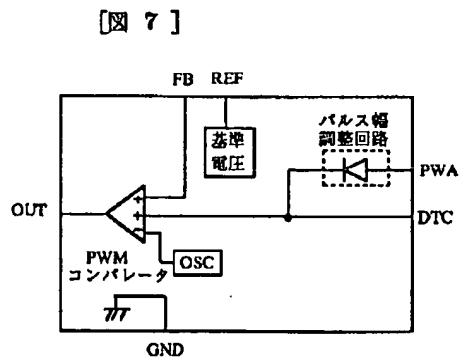
[X] 1]



[X 2]

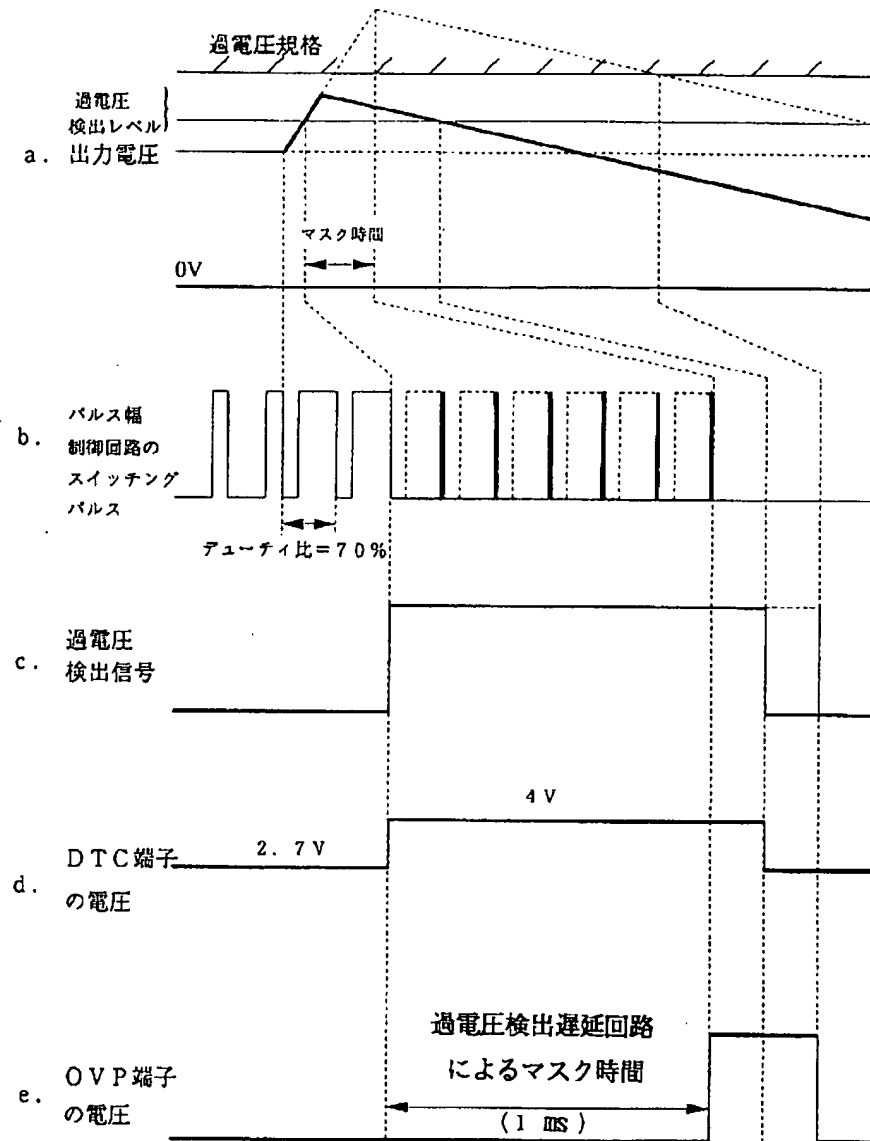


【图8】

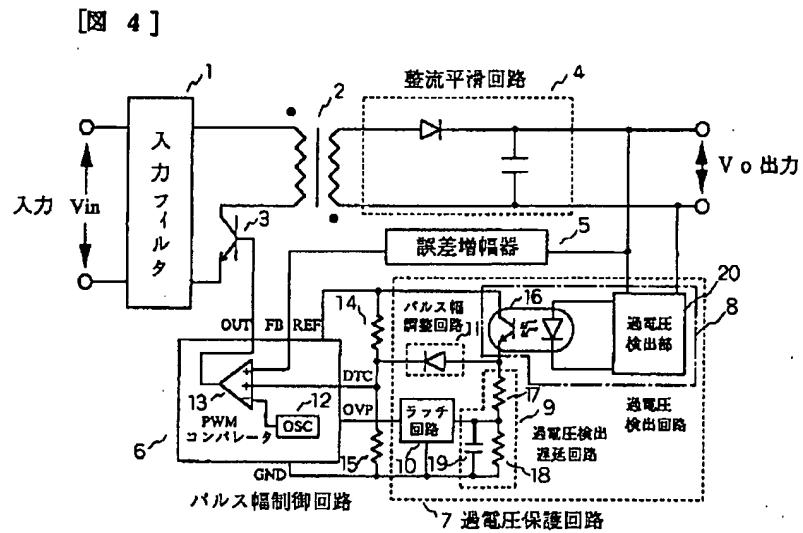


【図3】

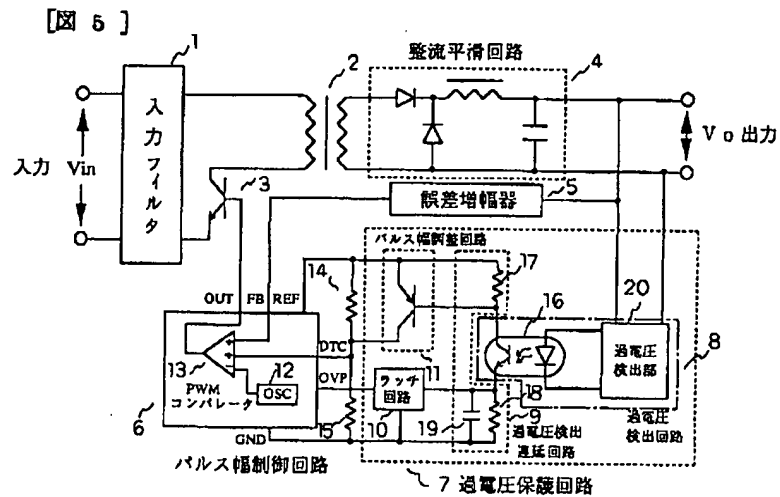
【図 3】



【図4】



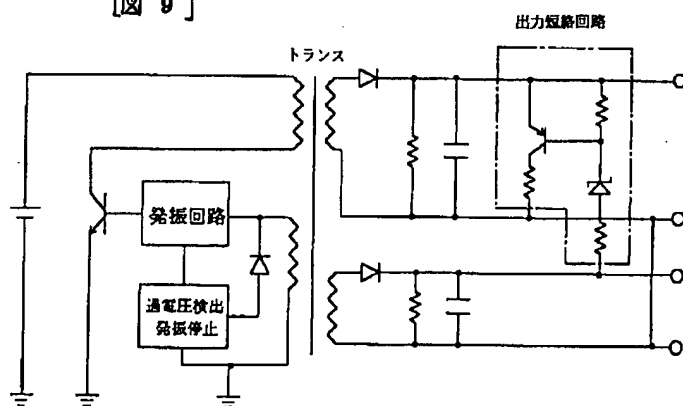
【図5】



[圖 6]



[圖 9]



[10]



The diagram shows a power supply system with the following numbered components:

- 1: Input filter (入力フィルタ)
- 2: Transformer
- 3: Rectifier diode
- 4: Rectifier smoothing circuit (整流平滑回路) containing a bridge rectifier and a capacitor.
- 5: Error amplifier (誤差増幅器)
- 6: Pulse width modulation control circuit (パルス幅制御回路)
- 7: Overvoltage protection circuit (過電圧保護回路) containing a latch circuit (ラッチ回路) and a delay circuit (遅延回路).
- 8: Overvoltage detection circuit (過電圧検出回路) containing a Zener diode (ZVD) and a resistor.
- 9: Overvoltage detection output terminal (過電圧検出出力端子)
- 10: Latch circuit output terminal (ラッチ回路出力端子)
- 11: Delay circuit output terminal (遅延回路出力端子)
- 12: Oscillator (OSC)
- 13: PWM control IC
- 14: Feedback resistor (FB)
- 15: Ground (GND)
- 16: Zener diode (ZVD)
- 17: Resistor
- 18: Delay circuit component (capacitor)
- 19: Latch circuit component (transistor)
- 20: Overvoltage protection circuit (過電圧保護回路)

フロントページの続き

(72)発明者 鬼塚 正人
神奈川県横浜市戸塚区戸塚町180番地 日
立通信システム株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.